



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0009476
Application Number

출원년월일 : 2003년 02월 14일
Date of Application FEB 14, 2003

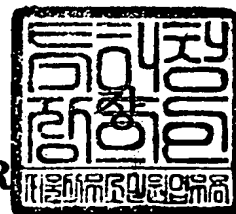
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.14
【발명의 명칭】	반도체 장치의 절연막 형성방법
【발명의 영문명칭】	method of forming dielectric layer in semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	차용원
【성명의 영문표기】	CHA, Yong Won
【주민등록번호】	700201-1030710
【우편번호】	449-843
【주소】	경기도 용인시 수지읍 상현리 85-6 서원마을 현대홈타운 APT 202-2001
【국적】	KR
【발명자】	
【성명의 국문표기】	김원진
【성명의 영문표기】	KIM, Won Jin
【주민등록번호】	641019-1023916
【우편번호】	442-737
【주소】	경기도 수원시 팔달구 영통동 청명마을3단지 956-2 대우0파트 302-6 04
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 20 면 20,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 31 항 1,101,000 원

【합계】 1,150,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

종횡비가 큰 배선들을 절연시키기 위한 HDP 절연막의 형성방법이 개시되어 있다. 상기 방법은 패턴들이 형성된 기판을 마련한 후 상기 기판 상에 제1절연물을 증착함으로써 상기 패턴들 사이에 보이드가 생성되고, 상기 패턴들을 덮는 평탄한 표면을 갖는 제1절연막을 형성한다. 이어서, 상기 제1절연막에 에치백 공정을 수행하여 상기 보이드가 개방되는 제1절연막 패턴을 형성한다. 그리고, 상기 제1절연막 패턴 상에 제2절연물을 증착함으로써 상기 개방된 보이드를 매몰시키고, 상기 제1절연막 패턴 및 패턴들을 덮는 제2절연막을 형성하는 단계를 제공하는데 있다. 따라서, 상기와 같은 방법으로 형성된 절연막은 증착 공정조건의 변경 및 식각 공정만으로 보이드를 포함하지 않는 절연막을 형성할 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

반도체 장치의 절연막 형성방법{method of forming dielectric layer in semiconductor device}

【도면의 간단한 설명】

도 1은 종래의 종횡비가 큰 금속배선이 형성된 기판 상에 형성되는 층간절연막의 형성방법을 나타내는 공정단면도이다.

도 2는 본 발명의 종횡비가 큰 패턴들이 형성된 기판 상에 형성되는 절연막의 형성 공정을 나타내는 공정 순서도이다.

도 3a 내지 3e는 본 발명의 제1실시예로서 반도체 장치 셀로우 트렌치 소자분리 공정에 적용되는 절연막의 형성방법을 나타내는 공정 단면도들이다.

도 4a 내지 4e는 본 발명의 제2실시예로서 반도체 장치의 게이트 구조물이 형성된 기판 상에 형성되는 층간절연막의 형성방법을 나타내는 공정 단면도들이다.

도 5a 내지 5e는 본 발명의 제3실시예로서 반도체 장치의 비트라인 구조물이 형성된 기판 상에 형성되는 층간절연막의 형성방법을 나타내는 공정 단면도들이다.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 기판 102,172,212 : 보이드

104,176,216 : 제1 HDP 산화막 104a,176a,216a : 제1 HDP 산화막 패턴

106,176,216 : 제2 HDP 산화막 106a,176a,216a : 제2 HDP 산화막 패턴

170 : 게이트 구조물 180 : 제1층간절연막

190 : 도전성 패드 200 : 제2층간절연막

210: 비트라인 구조물 220 : 제3층간절연막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 장치의 절연막의 형성방법에 관한 것으로서, 보다 상세하게는 반도체 기판 상에 중횡비가 큰 패턴들 사이에 고밀도 플라즈마(High Density plasma ; 이하 HDP라 한다.)절연물을 증착함으로써 형성되는 HDP 절연막에 보이드가 발생하지 않도록 형성하는 방법에 관한 것이다.

<14> 근래에 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 메모리 소자도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 반도체 메모리 소자는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구된다. 이러한 요구에 부응하여 소자의 집적도, 신뢰성 및 응답 속도 등을 향상시키는 방향으로 제조 기술이 발전되어 왔다. 소자의 고집적화를 위해서는 셀 사이즈의 축소는 필연적이며, 각 셀의 사이즈가 감소함에 따라 기판 상에 형성되는 모든 패턴의 사이즈 및 공정 마진도 감소하게 된다. 이에 비하여, 소자의 수직 규모, 즉 소자를 구성하는 각 패턴 및 배선들의 중횡비(aspect ratio)는 더욱 증가하게 되었다.

<15> 집적 회로를 제조하기 위하여 단일 기판 상에 많은 활성 소자를 형성하여야

한다. 처음에는 각 소자들은 서로 절연되어야 하지만, 회로의 소기 기능을 얻기 위하여 제조공정 도중에 특정 소자들을 전기적으로 상호 접속하여야 할 필요가 있게 되었다.

MOS 및 바이폴라 VLSI 및 ULSI 장치들은 상기 소자들의 많은 상호 접속을 도모하는 다층 상호 접속(multi-level interconnection) 구조를 갖는다.

<16> 한편, 최근 개발되고 있는 고집적 반도체 소자의 디자인 룰은 약 $0.1\mu\text{m}$ 이하의 수준으로 작아짐으로 인해 기판에 대한 전기적인 접촉부인 콘택홀의 사이즈 및 반도체 장치의 종횡비가 큰 금속배선들 간의 사이 간격도 점차 축소되고 있는 실정이다.

<17> 그리고, 상기 콘택홀의 공정 마진을 확보하기 위해 자기정렬(self-align) 방식을 적용하여 콘택홀 또는 비아홀을 형성하는데, 이와 같은 방법은 상기 금속배선의 측벽에 스페이서 형성해야 하기 때문에 상기 금속배선의 사이간격을 더욱더 좁히는 결과를 초래한다.

<18> 상기와 같이 반도체 장치의 디자인 룰의 감소 및 상기 금속배선들 간의 사이간격이 좁아지는 현상으로 인해 상기 금속배선을 절연시키기 위한 절연막을 형성할 경우 상기 절연막에 보이드가 생성되어 이후 형성되는 금속 패턴들간에 브릿지를 초래하기 때문에 반도체 소자의 수율이 저하되는 문제점 발생된다.

<19> 상기 문제점을 해결하기 위한 방법이 개시되어 있는 미합중국 특허공보 제6,423,630호를 도면을 첨부하여 설명하기로 한다.

<20> 도 1a 내지 도 1c는 종래의 종횡비가 큰 금속배선이 형성된 기판 상에 형성되는 층간절연막의 형성방법을 나타내는 공정단면도이다.

- <21> 도 1a을 참조하면, 상기 보이드가 존재하지 않는 절연막의 형성공정은 먼저 기판(10) 상에 형성된 금속배선(12) 상에 제1차 절연물을 화학적 기상 증착하여 상기 금속패턴을 덮는 제1절연막(16)을 형성한다. 여기서 상기 제1절연막(16)은 상기 금속배선(12)들 사이에 완전히 매몰되지 않기 때문에 상기 금속배선(12)들 사이에 형성되는 제1절연막(16) 내에는 긴 타원형상의 보이드(14)가 형성된다.
- <22> 이어서, 도 1b에 도시된 바와 같이 상기 금속배선(12)들의 상면에 존재하는 제1절연막(16)의 일부를 제거하기 위해 화학적 기계연마 공정을 수행함으로써 상기 제1절연막(16) 내에 형성된 보이드(14)를 개방시키는 제1절연막 패턴(16a)을 형성한다. 이때, 상기 보이드(14)는 상기 기판(10)과 인접되게 형성되어 있기 때문에 상기 화학적 기계연마 공정에 의해 개방되는 보이드(14)의 입구는 매우작다.
- <23> 그리고, 도 1c에 도시된 바와 같이 상기 개방된 보이드 내에 제2절연물을 매몰시키는 공정을 수행함과 동시에 상기 제1절연막 패턴(16a) 상에 절연물을 화학적 기상 증착하여 제2절연막(18)을 형성하였다.
- <24> 그러나, 상기와 같은 방법으로 형성된 제1절연막 패턴(14a)과 제2절연막(18)을 포함하는 층간절연막(20)에는 상기 보이드가 완전하게 제거되지 않는다. 이는 상기 보이드를 개방하는 입구가 너무 좁아 상기 제2절연물이 보이드 내부에 완전히 매몰되지 않기 때문이다.
- <25> 또한, 상기 공정에서는 화학적 기계연마 공정이 적용되기 때문에 상기 금속배선의 손상 및 제조공정의 스루풋을 증가시키는 문제점을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 따라서, 상술한 문제점을 해결하기 위한 본 발명의 제1목적은 패턴들이 형성된 기판 상에 HDP 절연물을 증착하여 HDP 절연막을 형성할 때 상기 증착공정의 조건을 변경하여 제1HDP 절연막을 형성함으로써 이후 공정에서 보이드가 존재하지 않는 절연막의 형성 방법을 제공하는 것이다.

<27> 본 발명의 제1 및 제2목적은 도전성 패턴들이 형성되는 기판 상에 HDP 산화물을 증착하여 HDP 절연막을 형성할 때 상기 증착공정의 조건을 변경함으로써 형성되는 HDP 절연막 내에 보이드가 생성되는 것을 방지할 수 있는 반도체 장치의 절연막 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<28> 상기한 제1 목적을 달성하기 위한 본 발명의 절연막 형성 방법은,

<29> 패턴들이 형성된 기판 상에 제1절연물이 최대높이로 증착되면서 보이드가 형성되도록 제1공정조건하에서 상기 제1절연물을 증착시킨다. 계속해서, 상기 패턴들 사이에 증착되는 제1절연물에 보이드가 생성될 때 상기 제1절연물을 증착하는 제1공정조건을 제2공정조건으로 변경함으로써 상기 제1절연물 내에 원형 또는 타원형의 보이드가 형성되고, 상기 패턴들을 덮으면서 평탄한 표면을 갖는 제1절연막을 형성하는데 있다.

<30> 상기한 제2 목적을 달성하기 위한 본 발명의 절연막 형성방법은,

<31> 먼저, 패턴들이 형성된 기판을 마련한 후 상기 기판 상에 제1절연물을 증착하여 상기 패턴들 사이에 보이드가 생성되고, 상기 패턴들을 덮는 평탄한 표면을 갖는 제1절연막을 형성한다. 이어서, 상기 제1절연막에 에치백 공정을 수행하여 상기 보이드가 개방

되는 제1절연막 패턴을 형성한다. 그리고, 상기 제1절연막 패턴 상에 제2절연물을 증착하여 상기 개방된 보이드를 매몰시키고, 상기 제1절연막 패턴 및 패턴들을 덮는 제2절연막을 형성하는 단계를 제공하는데 있다.

<32> 여기서, 상기 패턴은 반도체 기판의 트렌치, 게이트 구조물 및 비트 라인 구조물중에서 선택된 어느 하나이고, 상기 제1 및 제2절연물은 HDP 산화물을 나타낸다.

<33> 그리고, 상기 보이드를 포함하지 않고, 제1절연물로 이루어진 절연막을 형성하기 위해서는 상기 패턴들 사이의 기판 상에 상기 제1절연물이 최대높이로 증착되면서 상기 증착되는 제1절연막 내에 보이드가 형성되도록 낮은 압력 및 낮은 바이어스 파워를 갖는 제1공정조건 하에서 상기 제1절연물을 HDP 화학기상 증착시키는 단계를 수행해야 한다.

<34> 또한, 상기 패턴들 사이에 증착되는 제1절연물 내에 보이드가 생성될 때 상기 제1공정조건을 변경하여 높은 압력 및 높은 바이어스 파워를 갖는 제2공정조건 하에서 상기 패턴들을 덮는 평탄한 면을 갖도록 상기 제1절연물을 HDP 화학기상 증착시킴으로써 상기 기판으로부터 이격되어 형성되고, 원형 및 타원 형상을 갖는 보이드를 포함하는 제1절연막을 형성해야 한다.

<35> 상술한 다른 목적을 달성하기 위한 본 발명의 절연막 형성방법은,

<36> 먼저, 도전성 패턴들이 형성된 기판을 마련한다. 이어서, 상기 도전성 패턴들 사이의 기판 상에 상기 제1절연물이 최대높이로 증착되면서 보이드가 형성되도록 제1압력 및 제1바이어스 파워를 갖는 제1공정조건 하에서 상기 제1절연물을 HDP 화학기상 증착시킨다. 이어서, 상기 도전성 패턴들 사이의 기판 상에 증착되는 제1절연물에 보이드가 생성될 때 상기 제1공정조건을 제2압력 및 제2바이어스 파워를 갖는 제2공정조건으로 변경하

여 상기 제1절연물을 HDP 화학기상 증착시킴으로써 평탄한 표면을 갖는 제1절연막을 형성한다. 이어서, 상기 제1절연막에 에치백 공정을 수행하여 상기 도전성 패턴의 일부분 및 상기 보이드가 개방되는 제1절연막 패턴을 형성한다. 그리고, 상기 제1절연막 패턴 상에 제2절연물을 HDP 화학기상 증착하여 상기 노출된 보이드를 매몰시키고, 상기 제1절연막 패턴을 덮는 제2절연막을 형성하는데 있다.

<37> 따라서, 본 발명의 절연막 형성방법은 상기 종횡비(Aspect ratio)가 패턴들이 형성된 기판 상에 HDP 산화물을 증착하여 HDP 절연막을 형성할 때 발생하는 보이드를 방지할 수 있을 뿐만 아니라 화학적 기계연마(CMP) 공정을 적용하지 않기 때문에 반도체 장치의 제조공정의 스루풋을 향상시킬 수 있다.

<38> 이하, 본 발명을 도면을 참조하여 보다 상세하게 설명하기로 한다.

<39> 본 발명은 100nm 이하의 공정조건을 갖는 반도체 장치의 제조공정에서 고밀도 플라즈마(High Density plasma ; 이하 HDP라 한다.)산화물을 증착하여 셀로우 트랜치 소자분리(STI) 및 도전성 패턴들을 절연시키기 위한 절연막을 형성할 때 보이드가 발생되지 않는 완벽한 절연막을 형성하는 방법에 관한 것이다.

<40> 상기와 같이 HDP 산화물을 제1증착하는 공정을 수행하여 종횡비가 큰 패턴들을 절연시킬 수 있는 절연막을 형성할 때 상기 HDP 산화물의 하드(Hard)한 특성으로

인해 상기 패턴들 사이에는 보이드가 발생되지 않는 완전한 절연막이 형성되기가 어려울 뿐만 아니라 형성된 절연막의 표면은 산 형상을 갖는다. 이렇게 형성된 절연막의 보이드를 개방시키기 위해서는 CMP 공정을 수행하여야 한다. 그러나 상기 CMP 공정을 적용하여 상기 보이드를 개방시키더라도, 상기 보이드가 기관과 인접되고, 긴 타원형 형상으로 형성되기 때문에 상기 개방된 보이드의 입구가 작게 형성되는 문제점이 발생된다.

<41> 이로 인해, 상기 HDP 산화물을 제2증착하여 상기 개방된 보이드의 내부 공간을 매몰시킬 수 있는 공정을 수행하여도 상기 보이드 내에는 상기 HDP 산화물이 용이하게 매몰되지 않기 때문에 상기 보이드가 완전히 제거되지 않는다.

<42> 따라서, 본 발명에서는 상기 절연막에 형성되는 보이드를 완전히 제거하기 위해서는, 상기 패턴들 사이의 기관 상에 상기 HDP 산화물이 최대높이로 증착되면서 예비 보이드가 형성될 수 있도록 HDP-화학기상 증착시키는 단계를 수행하여야 한다. 이때 상기 HDP-화학기상 증착공정 조건은 낮은 압력 및 낮은 바이어스 파워를 갖는 제1공정조건을 갖는 것이 바람직하다.

<43> 그리고, 상기 패턴들 사이에 증착되는 HDP 산화물에 예비 보이드가 생성될 때 상기 제1공정조건을 높은 압력 및 높은 바이어스 파워를 갖는 제2공정조건으로 변경하여 HDP 산화물을 HDP-화학기상 증착시키는 공정을 수행해야 한다.

<44> 여기서, 상기 제1공정조건 하에서 적용되는 제1압력은 1 내지 5mmTorr 이며, 보다 상세하게는 1 내지 3mmTorr인 것이 바람직하다. 상기 제1바이어스 파워는 500 내지 1500W이고, 보다 상세하게는 700 내지 1200W인 것이 바람직하다. 그리고, 상기 제1공정

조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 200 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것이 바람직하다.

<45> 또한, 상기 제2공정조건 하에서 적용되는 제2압력은 3 내지 10mmTorr이며, 보다 상세하게는 3 내지 7mmTorr인 것이 바람직하다. 상기 제2바이어스 파워는 1000 내지 5000W이고, 보다 상세하게는 2000 내지 4000W인 것이 바람직하다. 그리고, 상기 제2공정 조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 300 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것이 바람직하다.

<46> 즉, 상기와 같이 제1공정조건 보다 높은 압력 및 높은 바이어스파워를 갖는 제2공정조건으로 변경하여 상기 HDP 산화물로 이루어진 절연막을 형성하는 공정을 수행할 경우에는 상기 절연막 내에 형성되는 예비 보이드는 원형 및 타원 형상을 갖는 보이드로 형성되고, 상기 절연막이 스퍼터링되는 효과가 증가되기 때문에 상기 HDP 산화물이 산형상으로 증착되지 않고, 평탄한 표면을 갖는다.

<47> 또한, 상기 기판으로부터 이격되어 형성되고, 원형 및 타원 형상을 갖는 보이드가 형성된 절연막에 이후 에치백 공정을 수행함으로써 상기 보이드의 입구를 넓게 개방시킨다. 여기서 상기 에치백 공정은 상기 제1증착공정시 패턴 사이에 보이드를 형성하는 산화물의 오버행(overhang)을 제거할 수 있는 공정으로써, 습식식각(Wet Etch) 공정 또는 건식식각(Dry Etch) 공정 중에서 어느 하나를 선택하여 수행하는 것이 바람직하다.

<48> 도 2는 본 발명의 종횡비가 큰 패턴들이 형성된 기판 상에 형성되는 절연막의 형성 공정을 나타내는 공정 순서도이다.

- <49> 도 2를 참조하면, 종횡비(Aspect ratio)가 큰 패턴들이 형성된 기판을 마련한다.(S100) 상기 패턴은 반도체 기판의 트랜치, 스페이서를 포함하는 게이트 전극 및 스페이서를 포함하는 비트라인 전극등을 나타낸다.
- <50> 이어서, 상기 종횡비가 큰 패턴들이 사이에 노출되는 기판 상에 제1절연물이 최대 높이로 증착되면서, 상기 증착되는 제1절연물 내에 예비 보이드가 형성될 때까지 제1압력 및 제1바이어스 파워를 갖는 제1공정조건 하에서 제1 HDP 화학기상 증착시키는 공정을 수행한다.(S110)
- <51> 여기서, 상기 제1압력이 1mmTorr 보다 작고, 제1바이어스 파워가 500W 보다 작으면 상기 제1절연물의 증착공정 시간의 증가로 인해 공정의 스루풋이 증가되기 때문에 바람직하지 않다. 또한, 상기 제1압력이 5mmTorr 보다 높고, 제1바이어스 파워가 1500W 보다 크면 상기 패턴들 사이에 보이드의 생성을 초래하는 오버행이 빨리 발생되기 때문에 상기 보이드가 기판과 근접되게 형성되고, 종횡비가 큰 긴 타원 형상의 보이드가 형성되기 때문에 바람직하지 않다.
- <52> 따라서, 상기 제1압력은 1 내지 5mmTorr인 것이 바람직하며, 보다 바람직하게는 상기 제1압력을 1 내지 3mmTorr로 설정해야 한다. 상기 제1바이어스 파워는 500 내지 1500W인 것이 바람직하고, 보다 바람직하게는 상기 제1바이어스 파워를 700 내지 1200W로 설정해야 한다.
- <53> 그리고, 제1공정조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 200 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것이 바람직하다.

- <54> 상기와 같이 낮은 압력 및 낮은 바이어스 파워를 적용하여 HDP 산화물인 제1절연물을 증착하는 이유는, 상기 제1절연물의 증착시 상기 패턴들 사이에서 오버행이 천천히 발생하기 때문에 상기 제1절연물이 기판 상에 증착되는 높이를 최대화시킬 수 있기 때문이다.
- <55> 상기 패턴들 사이에 해당하는 기판 상에 증착되는 제1절연물에 예비 보이드가 생성될 때 상기 제1공정조건을 제2압력 및 제2바이어스 파워를 갖는 제2공정조건으로 변경하여 상기 제1절연물을 HDP 화학기상 증착시킴으로써 원형 및 타원 형상을 갖는 보이드를 포함하고, 그 상면이 평탄한 표면을 갖는 제1절연막을 형성한다.(S120)
- <56> 여기서, 상기 제2압력이 3mmTorr 보다 작고, 제2바이어스 파워가 1000W 보다 작으면 상기 제1절연물 내에 긴 타원 형상을 갖는 보이드가 형성되고, 상기 패턴들을 덮는 제1절연물이 산 형상으로 증착되어 이후 보이드를 개방시키는 에치백 공정을 진행한 이후 별도의 CMP공정을 수행해야 하기 때문에 바람직하지 않다.
- <57> 또한, 상기 제2압력이 10mmTorr 보다 높고, 제2바이어스 파워가 5000W 보다 크면 상기 절연막을 형성하는 공정에서 발생하는 스퍼터링 현상이 증가되어 상기 절연막의 형성이 양호하지 못하기 때문에 바람직하지 않다.
- <58> 따라서, 상기 제2공정조건 하에서 적용되는 제2압력은 3 내지 10mmTorr인 것이 바람직하고, 보다 바람직하게는 상기 제2압력을 3 내지 7mmTorr으로 설정해야 한다. 상기 제2바이어스 파워는 1000 내지 5000W인 것이 바람직하고, 보다 바람직하게는 상기 제2바이어스 파워를 2000 내지 4000W로 설정해야 한다.

- <59> 그리고, 상기 제2공정조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 300 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것이 바람직하다.
- <60> 이어서, 상기 패턴들 사이에 원형 또는 타원 형상의 보이드가 형성된 제1절연막에 에치백 공정을 수행함으로써 상기 패턴의 일부분 및 상기 보이드를 노출시키는 제1절연막 패턴을 형성한다.(S130)
- <61> 상기 에치백 공정은 상기 증착공정시 패턴들 사이에 증착되는 제1절연물 내에 보이드를 형성(Trap)하는 오버행(overhang)을 제거하여 상기 보이드를 개방(open)시키는 공정 및 상기 패턴의 상부에 존재하는 제1절연물을 제거할 수 있는 공정이다. 여기서, 상기 에치백 공정은 습식식각(Wet Etch) 공정 또는 건식식각(Dry Etch) 공정 중에서 어느 하나를 선택하여 수행하는 것이 바람직하다.
- <62> 이어서, 상기 보이드가 개방되는 제1절연막 패턴 상에 제2절연물을 증착시킴으로써 상기 개방된 보이드를 매몰시키고, 상기 노출된 패턴 및 제1절연막 패턴을 덮는 제2절연막을 형성한다.(S140)
- <63> 여기서, 상기 제2절연물은 제1절연물과 같은 HDP 산화물이고, 제2압력과 제2바이어스 파워를 갖는 제2공정조건 하에서 HDP 화학기상 증착공정을 수행함으로써 형성된다.
- <64> 그리고, 상기 제2압력이 3mmTorr 보다 작고, 제2바이어스 파워가 1000W 보다 작으면 상기 패턴들을 덮는 제2절연물이 산 형상으로 증착되기 때문에 바람직하지 않다. 또한 상기 제2압력이 10mmTorr 보다 높고, 제2바이어스 파워가 5000W 보다 크면 상기 절연막을 형성하는 공정에서 발생하는 스퍼터링 현상이 증가되기 때문에 상기 제2절연막의 형성이 양호하지 않다.

- <65> 따라서, 상기 제2공정조건 하에서 적용되는 제2압력은 3 내지 10mmTorr인 것이 바람직하고, 보다 바람직하게는 상기 제2압력을 3 내지 7mmTorr으로 설정해야 한다. 상기 제2바이어스 파워는 1000 내지 5000W인 것이 바람직하고, 보다 바람직하게는 상기 제2바이어스 파워를 2000 내지 4000W로 설정해야 한다.
- <66> 또한, 상기 제2공정조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 300 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것이 바람직하다.
- <67> 상술한, 본 발명은 기판으로부터 이격되어 형성되고, 원형 또는 타원형상을 갖는 보이드를 포함하는 제1절연막에 에치백 공정을 수행하여 상기 보이드의 넓게 개방시킨 후 상기 보이드를 매몰하는 제2절연막을 형성함으로써 보이드가 형성되지 않는 완전한 층간절연막을 형성하는데 있다.
- <68> 이하, 본 발명의 일 실시예를 나타내는 도면을 참조하여 본 발명의 절연막 형성 방법을 상세하게 설명하기로 한다.
- <69> 실시예 1
- <70> 도 3a 내지 3e는 본 발명의 제1실시예로서 반도체 장치의 셀로우 트랜치 소자분리 공정에 적용되는 절연막의 형성방법을 나타내는 공정 단면도들이다.
- <71> 도 3a를 참조하면, 먼저, 실리콘과 같은 반도체 기판(100) 상에서 각 메모리셀들을 분리하기 위한 셀로우 트랜치 소자분리(shallow trench isolation; STI) 공정을 수행하기 위해서는 먼저, 다수개의 트랜치(T)가 형성되어 있는 기판(100)을 마련한다.

<72> 도 3b를 참조하면, 상기 다수개의 트렌치(T)가 형성된 기판(100) 상에 HDP 산화물을 약 2mmTorr의 압력 및 1000W의 바이어스 파워를 갖는 제1공정조건 하에서 HDP 화학기상 증착시킨다. 이로 인해, 상기 트렌치(T)의 밑면에 상기 HDP 산화물이 최대높이로 증착되고, 상기 트렌치(T) 내에 증착되는 HDP 산화물 내에는 예비 보이드가 형성되기 시작한다. 이때, 상기 제1공정 조건에 적용되는 가스는 O_2 가 60 SCCM, He가 90 SCCM 및 SiH_4 가 50 SCCM의 유량을 갖는다.

<73> 이어서, 상기 트렌치(T) 내에 증착되는 HDP 산화물 내에 예비 보이드가 생성될 때 상기 제1공정조건을 약 5mmTorr의 압력 및 3500W의 바이어스 파워를 갖는 제2공정조건으로 변경하여 HDP 산화물을 HDP 화학기상 증착시킨다. 이로 인해, 원형 또는 타원 형상의 보이드를 포함하고, 상기 트렌치(T)가 형성된 기판(100)을 덮으며, 그 상면이 평탄한 제1 HDP 산화막(104)이 형성된다. 이때 상기 제2공정조건에 적용되는 가스는 O_2 가 60 SCCM, He가 200 SCCM 및 SiH_4 가 25 SCCM의 유량을 갖는다.

<74> 도 3c를 참조하면, 상기 보이드(102)가 형성된 제1 HDP 산화막(104)에 에치백 공정을 수행하여 상기 기판(100)의 일부분 및 상기 보이드(102)를 개방(Open)시키는 제1 HDP 산화막 패턴(104a)을 형성한다.

<75> 여기서, 상기 에치백 공정은 상기 제1증착공정시 트렌치 내에 보이드를 형성하기 위한 HDP 산화물의 오버행(overhang)을 제거함으로써 상기 보이드의 입구를 넓게 개방시키는 공정이며, 본 발명에서는 습식식각(Wet Etch)이 적용된다.

<76> 도 3d 및 도 3e를 참조하면, 상기 제1 HDP 산화막 패턴(104a) 상에 HDP 산화물을 HDP 화학기상 증착시킴으로써 상기 개방된 보이드의 내부를 매몰하고, 상기 기판(100)을 덮는 제2 HDP 산화막(106)을 형성한다.

<77> 여기서, 상기 제2 HDP 산화막(106)은 약 5mmTorr의 압력 및 3500W의 바이어스 파워를 갖는 제2공정조건 하에서 HDP 화학기상 증착시킴으로써 형성된다.

<78> 그리고, 상기 기판(100)을 덮는 제2 HDP 산화막(106)에 상기 기판(100)의 상면을 노출시키는 CMP 공정을 수행하여 상기 기판의 트렌치(T) 내에만 존재하고, 제1 HDP 산화막 패턴(104a) 제2 HDP 산화막 패턴(106a)을 포함하는 제3 HDP 산화막(108)을 형성한다.

<79> 이렇게 형성된 제3 HDP 산화막(108)에는 보이드가 존재하지 않는 절연막으로서 상기 기판을 액티브 영역과 필드 영역으로 구분하는 소자분리 패턴의 역할을 한다.

<80> 실시예 2

<81> 도 4a 내지 4e는 본 발명의 제2실시예로서 반도체 장치의 게이트 구조물이 형성된 기판 상에 형성되는 층간절연막의 형성방법을 나타내는 공정 단면도들이다.

<82> 도 4a를 참조하면, 소자분리 패턴(108)을 포함하는 기판(100) 상에 게이트 전극 및 게이트 스페이서를 포함하는 복수개의 게이트 구조물(170)을 형성한다.

<83> 여기서, 상기 게이트 구조물(170)의 게이트 전극(도시하지 않음) 형성방법은 먼저, 기판(100) 상에 게이트 산화막, 폴리실리콘막, 금속 실리사이드막 및 실리콘 질화막을 순차적으로 형성한다. 이어서, 실리콘 질화막 상에 게이트 전극의 레이아웃을 정의하는 포토레지스트 패턴(도시하지 않음)을 형성한 후 이를 식각마스크로 적용하여 상기 결과

물을 패터닝함으로써 게이트 산화막 패턴(152), 폴리실리콘막 패턴(154), 금속 실리사이드막 패턴(156) 및 실리콘 질화막 패턴(158)이 순차적으로 적층되어 있는 복수개의 게이트 전극(도시하지 않음) 형성한다.

<84> 그리고, 상기 게이트 전극들을 이온주입 마스크로 적용하여 기판(100)의 표면 아래로 불순물을 주입함으로써 소오스/드레인 영역(120,130)을 형성한다. 이어서, 상기 게이트 전극들의 양측벽에 게이트 스페이서(160)를 형성하여 게이트 구조물(170)들을 형성한다.

<85> 도 4b 내지 4c를 참조하면, 상기 복수개의 게이트 구조물(170)이 형성된 기판(100) 상에 HDP 산화물을 약 2mmTorr의 압력 및 약 1000W의 바이어스 파워를 갖는 제1공정조건 하에서 예비 보이드가 생성될 때까지 HDP 화학기상 증착한다.

<86> 이로 인해, 상기 게이트 구조물(170)들 사이에 존재하는 소오스/드레인 영역(120,130) 상에는 상기 HDP 산화물이 최대높이로 증착되고, 상기 증착되는 HDP 산화물에는 예비 보이드를 포함하는 예비 제1 HDP 산화막(174)이 형성된다. 이때, 상기 제1 공정조건에 적용되는 가스는 O_2 가 60 SCCM, He가 90 SCCM 및 SiH_4 가 50 SCCM의 유량을 갖는다.

<87> 이어서, 상기 게이트 구조물(170)들 상에 예비 보이드를 포함하는 예비 제1 HDP 산화막(174)이 생성될 때 상기 제1공정조건을 5mmTorr의 압력 및 3500W의 바이어스 파워를 갖는 제2공정조건으로 변경하여 HDP 산화물을 HDP 화학기상 증착시킨다.

<88> 이로 인해, 상기 원형 또는 타원 형상의 보이드(172)를 포함하고, 상기 게이트 구조물(170)들을 덮으며, 그 상면이 평탄한 면을 갖는 제1 HDP 산화막(176)이 형성된다.

이때, 상기 제2공정 조건에 적용되는 가스는 O_2 가 60 SCCM, He가 200 SCCM 및 SiH_4 가 25 SCCM의 유량을 갖는다.

<89> 여기서, 상기 제1공정조건을 제2공정조건으로 변경하여 HDP 화학기상 증착공정을 수행하는 이유는, I) 상기 제1공정조건만으로 상기 제1 HDP 산화막을 형성하는 공정을 수행할 경우 상기 HDP 산화물의 특성으로 인해 종횡비가 큰 긴타원 형상의 보이드가 형성되기 때문에 바람하지 않다. II) 상기 제1공정조건만으로 상기 제1 HDP 산화막을 형성하는 공정을 수행할 경우 상기 HDP 산화물의 하드한 특성상 단차가 존재하는 곳에서 형성되는 제1HDP 산화막의 표면이 산 형상을 갖기 때문에 상기 제1HDP 산화물에 에치백 공정을 진행하여 보이드를 개방시키는 공정을 수행한 이후에도 상기 게이트 구조물 상에는 HDP 산화물이 잔류해 있기 때문에 이후 제2 HDP 산화막을 형성하기 위해서는 별도로 CMP 공정을 수행해야 한다.

<90> 즉, 상기와 같이 HDP-화학기상 증착공정을 적용하여 HDP 산화막을 형성할 때는 상기 HDP 산화물의 증착 및 HDP 산화물이 스퍼터링 되는 현상이 동시에 발생한다. 이로 인해, 상기 제1공정조건을 제2공정조건으로 변화시켜 상기 제1 HDP 산화막을 형성할 때, 상기 HDP 산화물의 스퍼터링 효과를 증가시킬 수 있어 상기 형성되는 제1 HDP 산화막(176)은 평탄한 면을 갖는다.

<91> 도 4d를 참조하면, 상기 원형 또는 타원 형상을 갖는 보이드(172)가 형성된 제1 HDP 산화막(176)에 에치백 공정을 수행함으로써 상기 게이트 구조물(170)의 일부분 및 상기 보이드(172)를 개방(Open)시키는 제1 HDP 산화막 패턴(176a)을 형성한다.

<92> 여기서, 상기 에치백 공정은 상기 게이트 구조물(170)들 사이에 보이드가 형성되는 제1 HDP 산화막(176)을 형성할 때 상기 보이드(172)를 형성하는 HDP 산화물의 오버행

(overhang)을 제거함으로써 상기 보이드(172)의 입구를 넓게 개방시킬 수 있다. 본 발명에서는 습식식각(Wet Etch)이 적용된다.

<93> 도 4e를 참조하면, 상기 제1 HDP 산화막 패턴(176a) 상에 제2 HDP 산화물을 고밀도 플라즈마 화학기상 증착함으로써 상기 개방된 보이드(172)의 내부를 매몰하고, 상기 게이트 구조물(170)을 덮는 제2 HDP 산화막(178)을 형성한다.

<94> 여기서, 상기 제2 HDP 산화막(178)은 5mmTorr의 압력 및 3500W의 바이어스 파워를 갖는 제2공정조건하에서 플라즈마 화학기상 증착 함으로써 형성된다.

<95> 이렇게 형성된 제1 HDP 산화막 패턴(176a) 및 제2 HDP 산화막(178)을 포함하는 제1 층간절연막(180)에는 보이드가 존재하지 않는다.

<96> 실시예 3

<97> 도 5a 내지 5e는 본 발명의 제3실시예로서 반도체 장치의 비트라인 구조물이 형성된 기판 상에 형성되는 층간절연막의 형성방법을 나타내는 공정 단면도들이다.

<98> 도 5a를 참조하면, 상기 게이트 구조물(도시하지 않음) 사이에 노출된 기판(100)과 전기적으로 연결되어 있는 도전성 패드(190)를 포함하는 제1층간절연막(180) 상에 제2층간절연막(200)을 형성한 후 상기 제2층간절연막(200) 상에서 상기 도전성 패드(190) 사이에 위치하는 복수개의 비트라인 구조물(210)을 형성한다.

<99> 여기서, 상기 비트라인 구조물(210)의 형성방법은 먼저, 상기 제2층간절연막 상(200)에 텅스텐막, 텅스텐 실리사이드막, 실리콘 질화막을 순차적으로 형성한다. 이어서, 상기 비트라인 구조물의 레이 아웃을 정의하는 식각마스크를 적용하여 패터닝함으로써

텅스텐막 패턴(202), 텅스텐 실리사이드막 패턴(204) 및 실리콘 질화막 패턴(206)을 포함하는 비트라인 전극(도시하지 않음)을 형성한 후 상기 비트라인 전극에 균일한 두께를 갖는 질화막을 연속적으로 도포하여 스페이스(208)를 형성함으로써 형성된다.

<100> 도 5b 내지 5c를 참조하면, 상기 비트라인 구조물(210)들이 형성된 제2층간절연막(200) 상에 HDP 산화물을 약 2mmTorr의 압력 및 약 1000W의 바이어스 파워를 갖는 제1공정조건 하에서 보이드가 생성될 때까지 HDP 화학기상 증착시킨다.

<101> 이로 인해, 상기 비트라인 구조물(210)들 사이에 노출되는 제2층간절연막(200) 상에는 상기 HDP 산화물이 최대높이로 증착되고, 상기 증착되는 HDP 산화물 내에 예비는 보이드를 포함하는 예비 제1 HDP 산화막(214)을 형성한다. 이때, 상기 제1공정조건에 적용되는 가스는 O_2 가 60 SCCM, He가 90 SCCM 및 SiH_4 가 50 SCCM의 유량을 갖는다.

<102> 이어서, 상기 비트라인 구조물(210)들 사이에 예비 보이드(172)를 포함하는 예비 제1 HDP 산화막(214)이 생성될 때 상기 제1공정조건을 약 5mmTorr의 압력 및 3500W의 바이어스 파워를 갖는 제2공정조건으로 변경하여 상기 HDP 산화물을 HDP 화학기상 증착시킨다.

<103> 이로 인해, 상기 원형 또는 타원 형상을 갖는 보이드(212)를 포함하고, 비트라인 구조물(210)들을 덮고, 그 상면이 평탄한 면을 갖는 제1 HDP 산화막(216)이 형성된다. 이때, 상기 제2공정조건에 적용되는 가스는 O_2 가 60 SCCM, He가 200 SCCM 및 SiH_4 가 25 SCCM의 유량을 갖는다.

<104> 여기서, 상기 제1공정조건을 제2공정조건으로 변경하여 HDP 화학기상 증착공정을 수행하는 이유는 상기 실시예 2에 개시되어 있기 때문에 생략하기로 한다.

- <105> 도 5d를 참조하면, 상기 원형 또는 타원 형상의 보이드(212)를 포함하는 제1 HDP 산화막(216)에 에치백 공정을 수행함으로써 상기 비트라인 구조물(210)의 일부분 및 상기 보이드(212)를 개방(Open)시키는 제1 HDP 산화막 패턴(216a)을 형성한다.
- <106> 여기서, 상기 에치백 공정은 상기 비트라인 구조물(210)들 사이에 보이드(212)를 포함하는 제1 HDP 산화막(216)을 형성할 때 상기 보이드(212)를 형성하는 HDP 산화물의 오버행(overhang)을 제거함으로써 상기 보이드(212)의 입구를 넓게 개방시키는 공정이다. 본 발명에서는 습식식각(Wet Etch)이 적용된다.
- <107> 도 5e를 참조하면, 상기 제1 HDP 산화막 패턴(216a) 상에 제2 HDP 산화물을 HDP 화학기상 증착하여 상기 개방된 보이드(도시하지 않음)의 내부를 매몰시키고, 상기 비트라인 구조물(210)을 덮는 제2 HDP 산화막(218)을 형성한다. 여기서, 상기 제2 HDP 산화막(218)은 5mmTorr의 압력 및 3500W의 바이어스 파워를 갖는 제2공정조건 하에서 HDP 화학기상 증착함으로써 형성된다.
- <108> 이렇게 형성된 제1 HDP 산화막 패턴(216a) 및 제2 HDP 산화막(218)을 포함하는 제3 층간절연막(220)에는 보이드가 존재하지 않는다.

【발명의 효과】

- <109> 본 발명에 의하면, 반도체 장치의 디자인 룰의 감소 및 상기 종횡비가 큰 금속배선들의 사이간격이 좁아지는 현상으로 인해 상기 금속배선에 보이드 생성되지 않는 본 발명의 절연막 형성방법은 상기 HDP 절연물이 증착되는 공정조건을 변경함으로써 상기 기판과 이격되고 원형 형상을 갖는 보이드를 형성한 후 상기 보이드의 입구를 넓게 개방시

킨다. 그리고, 상기 결과물 상에 HDP 절연물 증착함으로써 보이드를 포함하지 않는 층간 절연막을 형성할 수 있다.

<110> 상기와 같은 층간절연막을 형성한 이후 도전성 플러그들을 형성하는 공정을 수행할 때 상기 플러그들이 브리지 되는 현상을 방지할 수 있기 때문에 반도체 장치의 수율을 증가시킬 수 있을 뿐만 아니라 상기 층간절연막을 형성하기 위한 예비절연막의 표면을 평탄화시키는 CMP공정을 수행하기 않아도 되기 때문에 반도체 제조 공정의 스루풋을 향상시킬 수 있다.

<111> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

패턴들이 형성된 기판 상에 제1절연물이 최대높이로 증착되면서 보이드가 형성되도록 제1공정조건하에서 상기 제1절연물을 증착시키는 단계; 및

상기 패턴들 사이에 증착되는 제1절연물에 보이드가 생성될 때 상기 제1절연물을 증착하는 제1공정조건을 제2공정조건으로 변경함으로써 상기 제1절연물 내에 원형 또는 타원형의 보이드가 형성되고, 상기 패턴들을 덮으면서 평탄한 표면을 갖는 제1절연막을 형성하는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 2】

제1항에 있어서, 상기 패턴은 반도체 기판의 트랜치, 게이트 구조물 및 비트 라인 구조물로 이루어진 군으로부터 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 3】

제1항에 있어서, 상기 제1절연물은 고밀도 플라즈마(HDP) 산화물이고, 상기 제1절연막은 고밀도 플라즈마(HDP) 화학기상 증착방법으로 형성되는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 4】

제1항에 있어서, 상기 제1공정조건은 1 내지 5mmTorr의 제1압력과 500 내지 1500W의 제1바이어스 파워를 갖는 것을 특징으로 하는 반도체 장치의 절연막 형성 방법.

【청구항 5】

제4항에 있어서, 상기 제1공정조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 200 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 6】

제1항에 있어서, 상기 제2공정조건은 3 내지 10mmTorr의 제2압력과 1000 내지 5000W의 제2바이어스 파워를 갖는 것을 특징으로 하는 반도체 장치의 절연막 형성 방법.

【청구항 7】

제6항에 있어서, 상기 제2공정조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 300 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 8】

제1항에 있어서, 상기 보이드는 상기 패턴들 사이의 존재하는 기판으로부터 최대한 이격되어 형성되고, 원형 또는 타원형상을 갖는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 9】

제1항에 있어서, 제1절연막을 형성 공정이후, 상기 제1절연막에 포함되어있는 상기 패턴의 상면 및 상기 보이드를 개방시키는 에치백 공정을 수행하는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 10】

제9항에 있어서, 상기 에치백 공정이후, 상기 개방된 보이드를 매몰시키고, 상기 패턴들을 덮는 제2절연막을 형성하는 단계를 수행하는 것을 특징으로 하는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 11】

패턴들이 형성된 기판을 마련하는 단계;

상기 기판 상에 제1절연물을 증착하여 상기 패턴들 사이에 보이드가 생성되고, 상기 패턴들을 덮으면서 평탄한 표면을 갖는 제1절연막을 형성하는 단계;

상기 제1절연막에 에치백 공정을 수행하여 상기 패턴의 상부 및 보이드가 넓게 개방되는 제1절연막 패턴을 형성하는 단계; 및

상기 제1절연막 패턴 상에 제2절연물을 증착하여 상기 개방된 보이드를 매몰시키고, 상기 제1절연막 패턴 및 패턴들을 덮는 제2절연막을 형성하는 단계를 포함하는 반도체 장치의 절연막 형성방법.

【청구항 12】

제11항에 있어서, 상기 패턴은 반도체 기판의 트랜치, 게이트 구조물 및 비트 라인 구조물로 이루어진 군으로부터 선택된 어느 하나인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 13】

제11항에 있어서, 상기 제1절연물 및 제2절연물은 고밀도 플라즈마(HDP) 산화물인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 14】

제11항에 있어서, 상기 제1절연막의 형성 방법은,

상기 패턴들 사이의 기판 상에 상기 제1절연물이 최대높이로 증착되면서 보이드가 형성되도록 제1압력 및 제1바이어스 파워를 갖는 제1공정조건 하에서 상기 제1절연물을 고밀도 플라즈마 화학기상 증착시키는 단계; 및

상기 패턴들 사이에 증착되는 제1절연물에 보이드가 생성될 때 상기 제1공정조건을 제2압력 및 제2바이어스 파워를 갖는 제2공정조건으로 변경하여 상기 패턴들을 덮으면서 평탄한 표면을 갖도록 상기 제1절연물을 고밀도 플라즈마(HDP) 화학기상 증착시킴으로써 형성되는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 15】

제14항에 있어서, 상기 제1압력은 1 내지 5mmTorr이고, 상기 제1바이어스 파워는 500 내지 1500W인 것을 특징으로 하는 반도체 장치의 절연막 형성 방법.

【청구항 16】

제15항에 있어서, 상기 제1공정조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 200 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 17】

제14항에 있어서, 상기 제2압력은 3 내지 10mmTorr이고, 상기 제2바이어스 파워는 1000 내지 5000W인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 18】

제17항에 있어서, 상기 제2공정조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 300 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 19】

제14항에 있어서, 상기 보이드는 상기 패턴들 사이의 존재하는 기판으로부터 최대한 이격되어 형성되고, 원형 또는 타원형상을 갖는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 20】

제11항에 있어서, 상기 에치백 공정은 습식식각 또는 건식식각중 어느 하나의 방법으로 수행되는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 21】

제11항에 있어서, 상기 제2절연막은 상기 제2절연물을 상기 제2공정조건하에서 고밀도 플라즈마(HDP) 화학기상 증착시킴으로써 형성되는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 22】

도전성 패턴들이 형성된 기판을 마련하는 단계;

상기 도전성 패턴들 사이의 기판 상에 상기 제1절연물이 최대높이로 증착되면서 보이드가 형성되도록 제1압력 및 제1바이어스 파워를 갖는 제1공정조건 하에서 상기 제1절연물을 고밀도 플라즈마(HDP) 화학기상 증착시키는 단계;

상기 도전성 패턴들 사이의 기판 상에 증착되는 제1절연물에 보이드가 생성될 때 상기 제1공정조건을 제2압력 및 제2바이어스 파워를 갖는 제2공정조건으로 변경하여 상기 제1절연물을 고밀도 플라즈마(HDP) 화학기상 증착시킴으로써 평탄한 표면을 갖는 제1절연막을 형성하는 단계;

상기 제1절연막에 에치백 공정을 수행하여 상기 도전성 패턴의 일부분 및 상기 보이드가 넓게 개방되는 제1절연막 패턴을 형성하는 단계; 및

상기 제1절연막 패턴 상에 제2절연물을 증착하여 상기 개방된 보이드를 매몰시키고, 상기 제1절연막 패턴을 덮는 제2절연막을 형성하는 단계를 포함하는 반도체 장치의 절연막 형성방법.

【청구항 23】

제22항에 있어서, 상기 도전성 패턴은 게이트 구조물 또는 비트 라인 구조물중 어느 하나인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 24】

제22항에 있어서, 상기 제1절연물 및 제2절연물은 고밀도 플라즈마(HDP) 산화물인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 25】

제22항에 있어서, 상기 제1압력은 1 내지 5mmTorr이고, 상기 제1바이어스 파워는 500 내지 1500W인 것을 특징으로 하는 반도체 장치의 절연막 형성 방법.

【청구항 26】

제22항에 있어서, 상기 제1공정조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 200 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 27】

제22항에 있어서, 상기 제2압력은 3 내지 10mmTorr이고, 상기 제2바이어스 파워는 1000 내지 5000W인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 28】

제22항에 있어서, 상기 제2공정조건 하에서 적용되는 가스의 유량은 O_2 가 30 내지 150 SCCM, He가 10 내지 300 SCCM 및 SiH_4 가 10 내지 100 SCCM인 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 29】

제22항에 있어서, 상기 보이드는 상기 도전성 패턴들 사이의 기판으로부터 이격되어 형성되고, 원형 또는 타원형상을 갖는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 30】

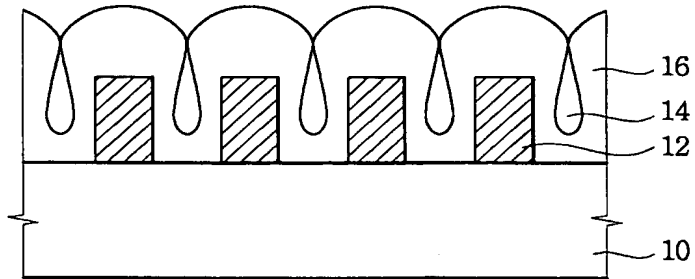
제22항에 있어서, 상기 에치백 공정은 습식식각 또는 건식식각중 어느 하나의 방법으로 수행되는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【청구항 31】

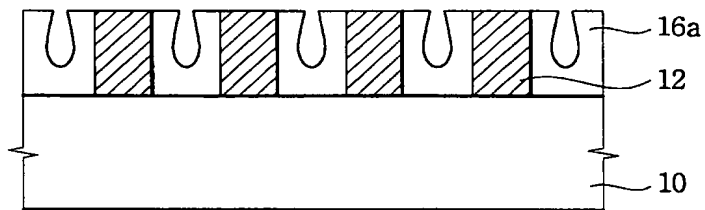
제22항에 있어서, 상기 제2절연막은 상기 제2절연물을 상기 제2공정조건 하에서 고밀도 플라즈마(HDP) 화학기상 증착시킴으로써 형성되는 것을 특징으로 하는 반도체 장치의 절연막 형성방법.

【도면】

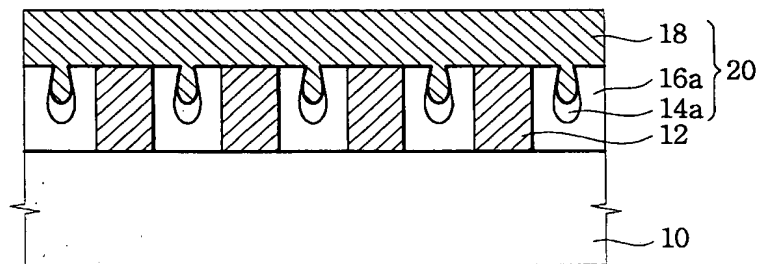
【도 1a】



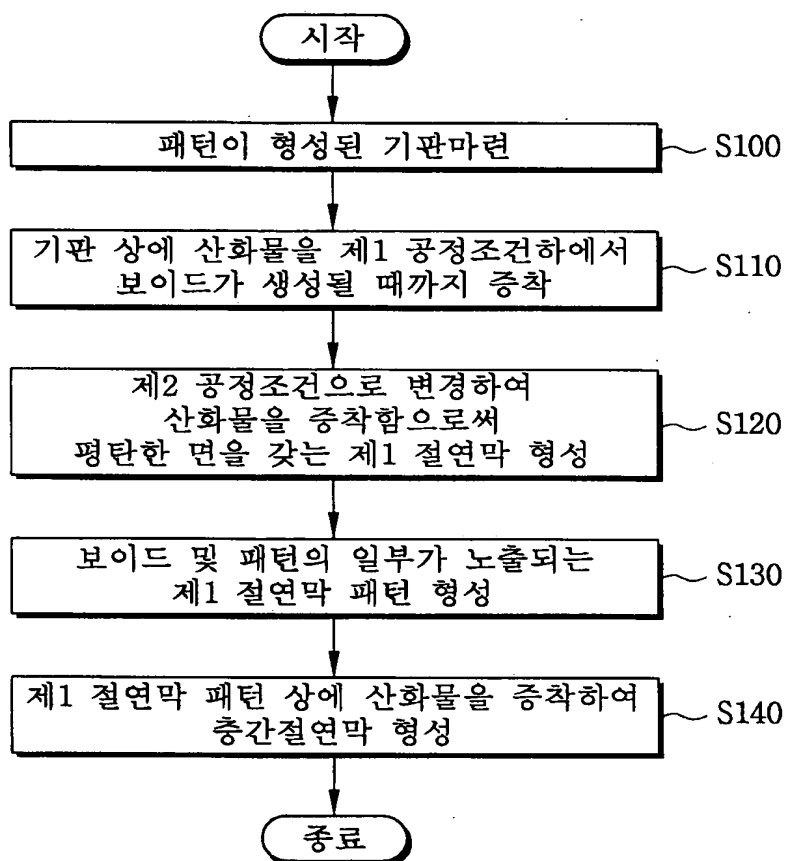
【도 1b】



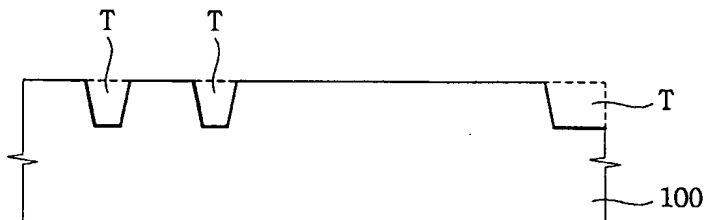
【도 1c】



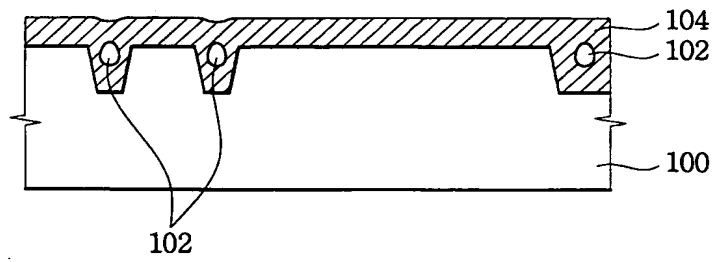
【도 2】



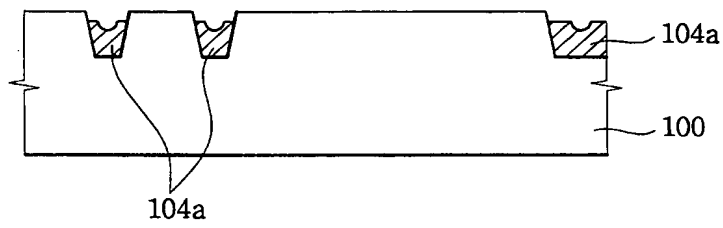
【도 3a】



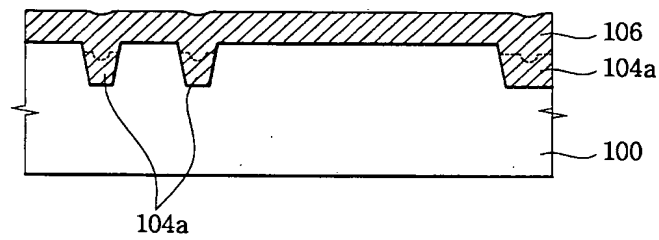
【도 3b】



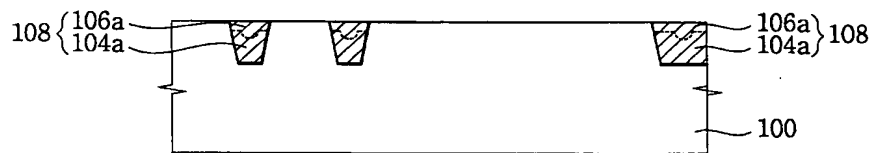
【도 3c】



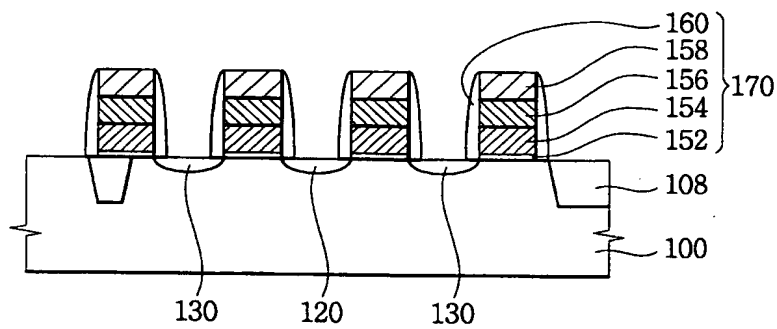
【도 3d】



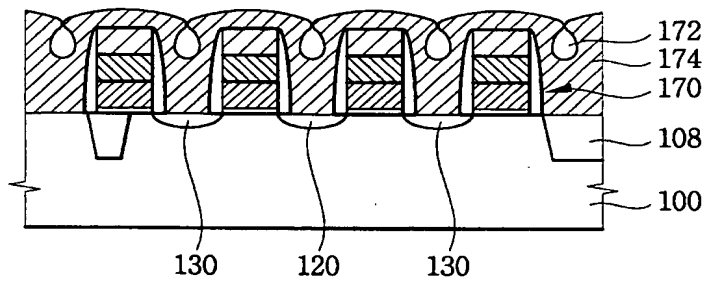
【도 3e】



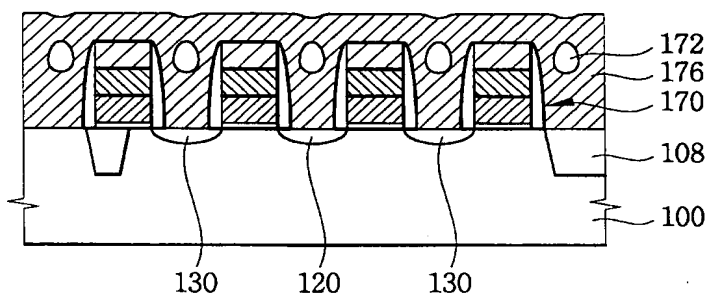
【도 4a】



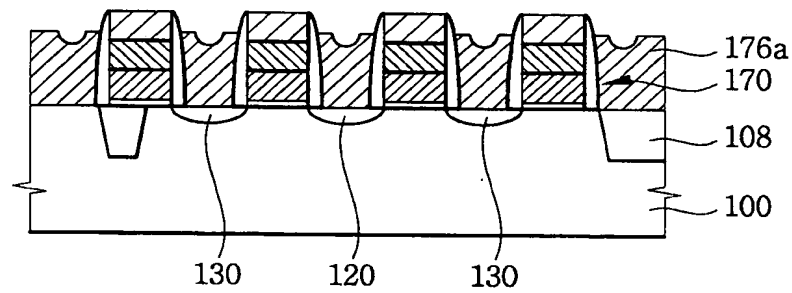
【도 4b】



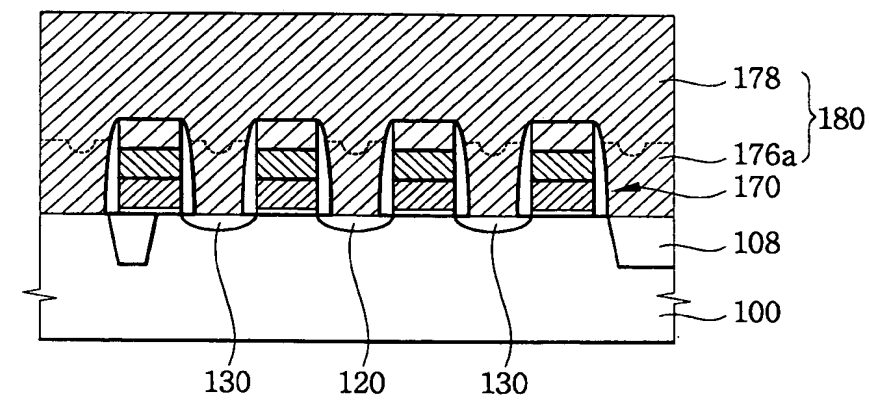
【도 4c】



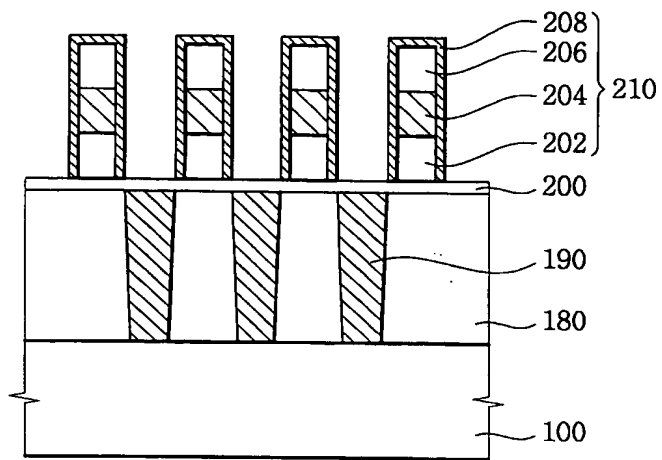
【도 4d】



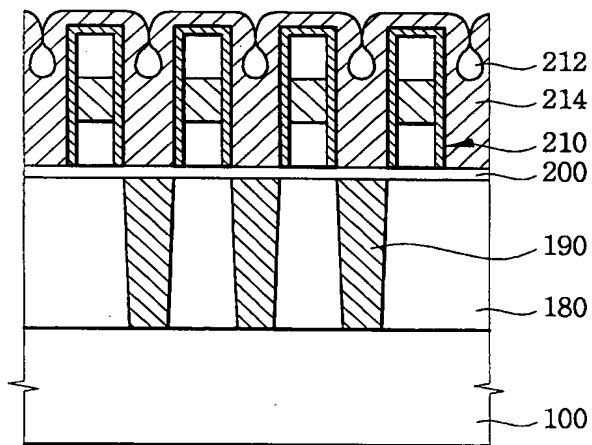
【도 4e】



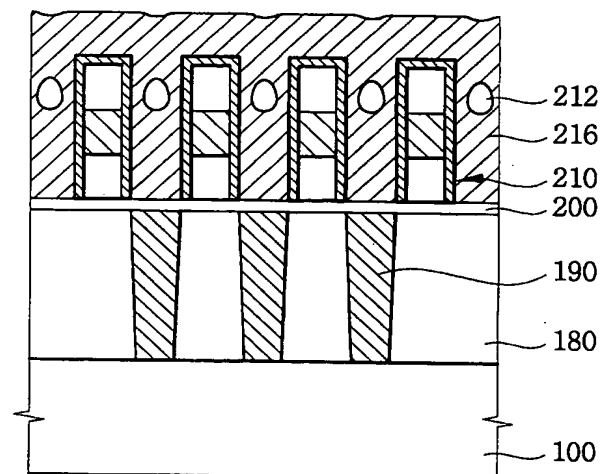
【도 5a】



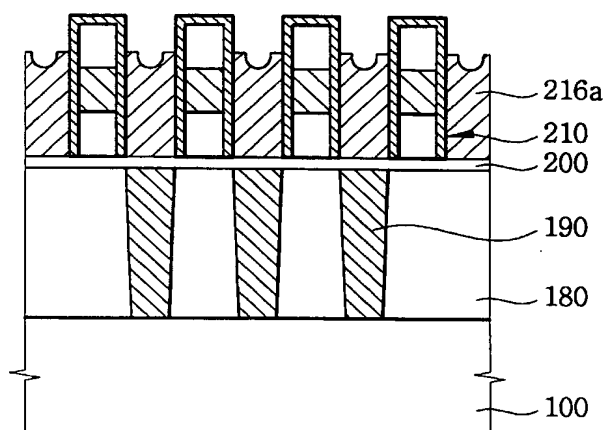
【도 5b】



【도 5c】



【도 5d】



【도 5e】

